

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-285428

(43)Date of publication of application : 23.10.1998

(51)Int.Cl. H04N 5/06  
H04N 7/083  
H04N 7/087  
H04N 7/088

(21)Application number : 09-084975 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

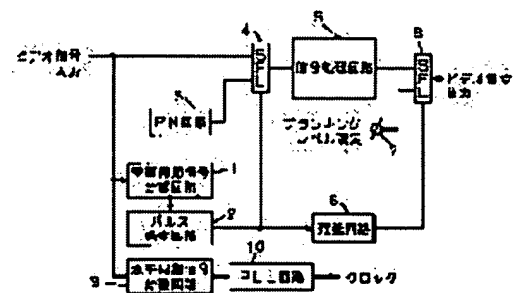
(22)Date of filing : 03.04.1997 (72)Inventor : HATANO TAKAHISA

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To operate stably a PLL circuit by inserting an optional random signal for a vertical blanking period of an input signal, so as to make an operating rate in the semiconductor integrated circuit thereby making consumption of current stable.

**SOLUTION:** A vertical synchronization signal separator circuit 1 extracts a vertical synchronization signal from an input video signal and a pulse generating circuit 2 provides an output of a pulse for a vertical blanking period of the input video signal. A selector 4 inserts an output of a PN (pseudo-random noise) circuit 3 to the input video signal for the vertical blanking period. A delay circuit 6 delays the vertical blanking pulse by a delay time in a signal processing circuit 5 to extract the inserted PN signal, and a selector 8 inserts an output of a blanking level setting means 7 for a period which is equivalent to the vertical blanking period of the output signal. A horizontal synchronization signal separator circuit 9 separates a horizontal synchronization signal from the input signal, and a PLL circuit 10 recovers the clock signal to activate the entire circuit.



## LEGAL STATUS

[Date of request for examination] 23.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3514067

[Date of registration] 23.01.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



## 【特許請求の範囲】

【請求項1】 入力信号から垂直同期信号を抽出する垂直同期信号分離回路と、前記垂直同期信号が入力されて、入力信号の垂直ブランキング期間を示すブランキング信号を発生するパルス発生回路と、疑似ランダム信号を発生する疑似ランダム信号発生回路と、前記ブランキング信号にตอบสนองして垂直ブランキング期間は前記疑似ランダム信号を入力信号に挿入する第1の選択器と、何らかの信号処理を行う信号処理回路と、前記ブランキングパルスを前記信号処理回路での遅延時間を調整するための遅延回路と、任意のブランキングレベルを設定するブランキングレベル設定手段と、前記遅延器の出力にตอบสนองして垂直ブランキング期間は前記ブランキングレベルを前記信号処理回路の出力に挿入する第2の選択器と、前記入力信号から水平同期信号を抽出する水平同期信号分離回路と、前記水平同期信号からクロックを生成するPLL回路とを備えることを特徴とする半導体集積回路。

【請求項2】 入力信号の垂直ブランキング期間に任意のランダム信号を挿入することで、半導体集積回路内の動作率を一定にし、消費電流を安定化させることでPLL回路を安定に動作させることを特徴とする半導体集積回路。

【請求項3】 入力信号の映像情報を検出する映像信号検出回路と、前記映像検出回路の結果をもとに疑似ランダム信号発生回路を制御するマイコンと、前記入力信号から垂直同期信号を抽出する垂直同期信号分離回路と、前記垂直同期信号が入力されて、入力信号の垂直ブランキング期間を示すブランキング信号を発生するパルス発生回路と、前記マイコンに制御されて少なくとも2種類の疑似ランダム信号を発生する疑似ランダム信号発生回路と、前記ブランキング信号にตอบสนองして垂直ブランキング期間は前記疑似ランダム信号を入力信号に挿入する第1の選択器と、何らかの信号処理を行う信号処理回路と、前記ブランキングパルスを前記信号処理回路での遅延時間を調整するための遅延回路と、任意のブランキングレベルを設定するブランキングレベル設定手段と、前記遅延器の出力にตอบสนองして垂直ブランキング期間は前記ブランキングレベルを前記信号処理回路の出力に挿入する第2の選択器と、前記入力信号から水平同期信号を抽出する水平同期信号分離回路と、前記水平同期信号からクロックを生成するPLL回路とを備えることを特徴とする半導体集積回路。

【請求項4】 入力信号の垂直ブランキング期間に映像信号に応じた任意のランダム信号を挿入することで、半導体集積回路内の動作率を一定にし、消費電流を安定化させることでPLL回路を安定に動作させることを特徴とする半導体集積回路。

【請求項5】 入力信号から垂直同期信号を抽出する垂直同期信号分離回路と、前記垂直同期信号が入力されて、入力信号の垂直ブランキング期間を示すブランキン

グ信号を発生するパルス発生回路と、少なくとも1ラインの遅延器を有し、何らかの信号処理を行う信号処理回路と、前記ブランキング信号にตอบสนองして垂直ブランキング期間は前記信号処理回路の1ラインの遅延器の出力を入力信号に挿入する第1の選択器と、前記ブランキングパルスを前記信号処理回路での遅延時間を調整するための遅延回路と、任意のブランキングレベルを設定するブランキングレベル設定手段と、前記遅延器の出力にตอบสนองして垂直ブランキング期間は前記ブランキングレベルを前記信号処理回路の出力に挿入する第2の選択器と、前記入力信号から水平同期信号を抽出する水平同期信号分離回路と、前記水平同期信号からクロックを生成するPLL回路とを備えることを特徴とする半導体集積回路。

【請求項6】 入力信号の垂直ブランキング期間に有効画面領域内の信号を巡回させて挿入することで、半導体集積回路内の動作率を一定にし、消費電流を安定化させることでPLL回路を安定に動作させることを特徴とする半導体集積回路。

【請求項7】 入力信号から垂直同期信号を抽出する垂直同期信号分離回路と、前記垂直同期信号が入力されて、入力信号の垂直ブランキング期間に挿入されている音声データ等の付加情報機能以外を示すパルスを発生するパルス発生回路と、少なくとも1種類の疑似ランダム信号を発生する疑似ランダム信号発生回路と、前記パルスにตอบสนองして垂直ブランキング期間に挿入されている音声データ等の付加情報期間以外は前記疑似ランダム信号を入力信号に挿入する第1の選択器と、前記垂直ブランキング期間に挿入されている音声データを再生する信号処理回路とを備える半導体集積回路。

【請求項8】 入力信号の垂直ブランキング期間に挿入されている音声データ等の付加情報期間以外に任意のランダム信号を挿入することで、半導体集積回路内の動作率を一定にし、消費電流を安定化させることで音声信号処理回路を安定に動作させることを特徴とする半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電子映像機器におけるPLL回路を内蔵もしくは周辺回路に使用する、もしくは垂直ブランキング期間に挿入されている音声データの再生を行う音声処理などの半導体集積回路に関するものである。

## 【0002】

【従来の技術】従来のクロック生成回路には、特開平2-309778号公報に示すように、垂直ブランキング期間に細工をすることでPLLの動作を安定化させようとする試みがなされている。

【0003】従来クロック生成回路の一例を図9に示す。図9において101はモノマルチバイブレータ、102はサンプリングホールド回路、103はトラゾベイ

ド発生回路、104はローパスフィルタ、105は電圧制御発信回路、106はカウンタ、111、112は分離回路、118は選択器、119はパルス発生回路である。また、その時の動作を示す図を図10に示す。同期信号分離回路111で分離された垂直同期信号(図10の(B))を基にパルス発生回路119で垂直ブランキング期間をしめすパルスを発生させる。(図10の(F))また、モノマルチバイブレータ101で検出した水平同期信号の垂直ブランキング期間に相当する期間は前記パルスにより、選択器118で抜き取る。選択器118の出力は図10の(G)となる。入力信号の垂直ブランキング期間には例えば等価パルスやダビング防止信号など、クロック再生を不安定にする要因が挿入されている場合があるので、このような信号が挿入されていてもサンプリングホールド回路102、トラゾベイド発生回路103、ローパスフィルタ104、電圧制御発信回路105、カウンタ106からなるPLL回路を安定に動作させることが可能である。

#### 【0004】

【発明が解決しようとする課題】しかしながら、従来のクロック生成回路によると、垂直ブランキング期間に信号がないことから、大規模なシステムを半導体集積回路化し、PLL回路を生成した場合に、有効画面領域での信号の動作率と垂直ブランキング期間に信号の動作率が著しく変わってしまい、消費電流が変わってしまう。消費電流の変化が電源電圧の不安定化につながり、特に大規模かつ、高周波数のPLL回路の場合にはPLLの動作に不安定な要因となってしまう、例えば画面上部で画像が乱れるトップカールなどが発生していた。また、音声信号処理などにおいては垂直同期周波数に同期したノイズとなるなど問題点があった。

【0005】本発明は前記課題に鑑み、入力信号の垂直ブランキング期間に任意のランダム信号を挿入することで、半導体集積回路内の動作率を一定にし、消費電流を安定化させることでPLL回路を安定に動作させることを特徴とする半導体集積回路を提供するものである。

#### 【0006】

【課題を解決するための手段】上記課題を解決するために本発明は、入力信号から垂直同期信号を抽出する垂直同期信号分離回路と、前記垂直同期信号が入力されて、入力信号の垂直ブランキング期間を示すブランキング信号を発生するパルス発生回路と、疑似ランダム信号を発生する疑似ランダム信号発生回路と、前記ブランキング信号にตอบสนองして垂直ブランキング期間は前記疑似ランダム信号を入力信号に挿入する第1の選択器と、何らかの信号処理を行う信号処理回路と、前記ブランキングパルスを前記信号処理回路での遅延時間を調整するための遅延回路と、任意のブランキングレベルを設定するブランキングレベル設定手段と、前記遅延器の出力にตอบสนองして垂直ブランキング期間は前記ブランキングレベルを前記

信号処理回路の出力に挿入する第2の選択器と、前記入力信号から水平同期信号を抽出する水平同期信号分離回路と、前記水平同期信号からクロックを生成するPLL回路とを備えることを特徴とする。

#### 【0007】

【発明の実施の形態】本発明の請求項1に記載の発明は、入力信号から垂直同期信号を抽出する垂直同期信号分離回路と、前記垂直同期信号が入力されて、入力信号の垂直ブランキング期間を示すブランキング信号を発生するパルス発生回路と、疑似ランダム信号を発生する疑似ランダム信号発生回路と、前記ブランキング信号にตอบสนองして垂直ブランキング期間は前記疑似ランダム信号を入力信号に挿入する第1の選択器と、何らかの信号処理を行う信号処理回路と、前記ブランキングパルスを前記信号処理回路での遅延時間を調整するための遅延回路と、任意のブランキングレベルを設定するブランキングレベル設定手段と、前記遅延器の出力にตอบสนองして垂直ブランキング期間は前記ブランキングレベルを前記信号処理回路の出力に挿入する第2の選択器と、前記入力信号から水平同期信号を抽出する水平同期信号分離回路と、前記水平同期信号からクロックを生成するPLL回路とを備えることを特徴とするものであり、入力信号の垂直ブランキング期間に任意のランダム信号を挿入することで、半導体集積回路内の動作率を一定にし、消費電流を安定化させることでPLL回路を安定に動作させることができる。

【0008】以下に、本発明の一実施の形態について、図1、図2、図3を用いて説明する。

【0009】(実施の形態1)図1において、1は垂直同期信号分離回路、2はパルス発生回路、3はPN回路、4は第1の選択器、5は信号処理回路、6は遅延回路、7はブランキングレベル設定手段、8は第2の選択器、9は水平同期信号分離回路、10はPLL回路である。図2はPN回路の内部構成図で11、12、13はフリップフロップ、14はAND回路、15は排他的論理NOR回路である。図3は本発明の動作を示した図で(A)は入力ビデオ信号、(B)は大規模なシステムで半導体集積回路を動作させたときの電源電圧波形、(C)は垂直ブランキングパルス、(D)は信号処理回路への入力信号、(E)は出力ビデオ信号である。

【0010】以上の様に構成された半導体集積回路について動作を説明する。入力ビデオ信号は垂直同期信号分離回路1で垂直同期信号を抽出する。抽出された垂直同期信号を基にパルス発生回路2で前記入力ビデオ信号の垂直ブランキング期間に相当するパルスを出力する。PN回路3はPN信号(Pseudo Noise=疑似ランダム)を発生する回路でランダムに信号を発生することができる。図2のPN回路は最も一般的に知られているM系列PN符号の例である。選択器4では前記パルス発生回路2の出力パルス(図3の(C))にตอบสนองして、垂直

ブランキング期間はPN回路3の出力を入力ビデオ信号に挿入する。メインの信号処理を行う信号処理回路5への入力信号は図3の(D)の如くなる。半導体集積回路の内部はCMOSの場合は通常、信号の動作率に応じて消費電力は変化する。このため、有効画面領域では映像信号のデータに応じて半導体集積回路内部が動作するが、垂直ブランキング期間は映像信号が固定データであるため半導体集積回路内部が動作しない。そのため電源電圧波形は図3(B)の如く、有効画面領域では回路動作の影響を受けているが、垂直ブランキング期間は影響を受けていない。このため、同一半導体集積回路内部にPLL回路を内蔵する場合や、内蔵せずにも周辺にPLL回路を設置する場合には有効画面領域と垂直ブランキング期間でのPLLの動作点が異なり、PLL回路が不安定になってしまうが、本発明のこのように垂直ブランキング期間に任意のランダムノイズを挿入することで、常に有効画面領域と同じように半導体集積回路内部が動作するのでPLL回路が安定化する。

【0011】遅延回路6は挿入したPN信号を抜き取るために信号処理回路5での遅延時間分遅延させる遅延器で前記垂直ブランキングパルスを遅延させ、出力信号の垂直ブランキング期間に相当する期間に選択器8でブランキングレベル7でのブランキングレベルを挿入するので出力信号には影響を与えることはない。水平同期信号分離回路9は入力信号から水平同期信号を分離するもので、分離された同期信号を基にPLL回路10で回路全体を動作させるクロックを再生する。

【0012】かかる構成によれば、入力信号の垂直ブランキング期間に任意のランダム信号を挿入することで、半導体集積回路内の動作率を一定にし、消費電流を安定化させることでPLL回路を安定に動作させることができる。

【0013】つぎに、本発明の別の一実施の形態について、図4を用いて説明する。なお、前述した実施の形態と同じ構成については同じ符号を用い、説明を省略する。

【0014】(実施の形態2) 図4において16は入力信号の映像情報を検出する映像信号検出回路、17は前記映像検出回路の結果をもとに疑似ランダム信号発生回路を制御するマイコンである。以上の様に構成された半導体集積回路について動作を説明する。映像信号検出回路16は入力信号の映像情報を検出する。例えば信号の高域周波数成分を検出するなどである。マイコン17は前記映像信号検出回路16の検出結果をもとにPN回路3を制御する。PN回路3は複数のPN信号を発生することができ、映像情報内容によってPN信号を切り替える。例えば、映像信号が全白の場合はPN信号も全bitハイレベル固定に、全黒の場合は全bitローレベルに、高域周波数成分が多いはその割合に応じてPN信号の次数や挿入するbitを変化させる。こうすることで

より映像信号に近いPN信号を垂直ブランキング期間に挿入することができ、PLL回路10を安定に動作することが可能となる。

【0015】かかる構成によれば、入力信号の垂直ブランキング期間に映像信号に応じた任意のランダム信号を挿入することで、半導体集積回路内の動作率を一定にし、消費電流を安定化させることでPLL回路を安定に動作させることができる。

【0016】つぎに、本発明の別の一実施の形態について、図5および図6を用いて説明する。なお、前述した実施の形態と同じ構成については同じ符号を用い、説明を省略する。

【0017】(実施の形態3) 図5において、4は入力ビデオ信号と信号処理回路5の少なくとも1ライン入力信号を遅延させた出力信号を選択する選択器である。図6は信号処理回路5の内部構成図で18は入力信号を遅延させるラインメモリー、19はメインの信号処理回路である。以上の様に構成された半導体集積回路について動作を説明する。入力ビデオ信号は垂直同期分離回路1で垂直同期信号を抽出する。抽出された垂直同期信号を基にパルス発生回路2で前記入力ビデオ信号の垂直ブランキング期間に相当するパルスを出力する。選択器4では前記パルス発生回路2の出力パルス(図3の(C))にตอบสนองして、垂直ブランキング期間は信号処理回路5の出力を入力ビデオ信号に挿入する。メインの信号処理を行う信号処理回路5の内部でラインメモリーを使用する場合には、このラインメモリーを使用して有効画面最終ラインの画像データを選択器4→ラインメモリー18→選択器4というように巡回させる。こうすることで、有効画面内の画像データとはほぼ等しい動作条件で垂直ブランキング期間半導体集積回路内部を動作させることができる。以上により実施の形態1と同じくPLLを安定化させることが可能となる。また、入力信号を遅延させる素子にフレームメモリーを用いて有効画面領域の最初のライン情報を巡回遅延させた場合は、画面上部のデータと垂直ブランキング期間のデータがより近似できるので、PLL回路10をよりいっそう安定化させることができる。

【0018】かかる構成によれば、入力信号の垂直ブランキング期間に有効画面領域内の信号を巡回させて挿入することで、半導体集積回路内の動作率を一定にし、消費電流を安定化させることでPLL回路を安定に動作させることができる。

【0019】つぎに、本発明の別の一実施の形態について、図7および図8を用いて説明する。なお、前述した実施の形態と同じ構成については同じ符号を用い、説明を省略する。

【0020】(実施の形態4) 図7において、20は入力ビデオ信号のうち垂直ブランキング期間に音声データ等を挿入された信号から音声を再生する音声処理回路で

ある。図8は音声処理回路の内部構成を示す図で21はメインの音声処理回路、22はFIFO(First in, first out)である。以上の様に構成された半導体集積回路について動作を説明する。入力ビデオ信号は例えばMUSE信号のように垂直ブランキング期間に音声データを付加されたものである。映像信号が例えば全黒のように変化が少ない映像の場合、音声データは映像データによらないため図7に示すように垂直ブランキングの音声データの期間のみに信号の変化がある信号という場合もある。音声処理回路20はメイン処理回路21とFIFO22からなるが、メイン処理回路は例えばMUSE信号の場合周波数変換やDPCMデコード等である。FIFO22を使用して垂直ブランキング期間の音声データは時間軸伸張されて音声データ出力となる。このとき前述の全黒のような信号の場合、垂直ブランキング期間での動作率が映像信号期間に比べて著しく増加しており、そのために電源電圧が振られて垂直周波数の音声ノイズとなって現れることとなる。PN回路3で映像信号期間にPN信号を付加した場合(図8の入力信号)、信号は全期間にわたってほぼ同じく動作率が保たれており、前述の問題点が回避することができる。

【0021】かかる構成によれば、入力信号の垂直ブランキング期間に挿入されている音声データ等の付加情報期間以外に任意のランダム信号を挿入することで、半導体集積回路内の動作率を一定にし、消費電流を安定化させることで音声信号処理回路を安定に動作させることができる。

【0022】

【発明の効果】以上のように、本発明の半導体集積回路によれば、入力信号から垂直同期信号を抽出する垂直同期信号分離回路と、前記垂直同期信号が入力されて、入力信号の垂直ブランキング期間を示すブランキング信号を発生するパルス発生回路と、疑似ランダム信号を発生する疑似ランダム信号発生回路と、前記ブランキング信号に応答して垂直ブランキング期間は前記疑似ランダム信号を入力信号に挿入する第1の選択器と、何らかの信号処理を行う信号処理回路と、前記ブランキングパルスを前記信号処理回路での遅延時間を調整するための遅延回路と、任意のブランキングレベルを設定するブランキングレベル設定手段と、前記遅延器の出力に回答して垂直ブランキング期間は前記ブランキングレベルを前記信号処理回路の出力に挿入する第2の選択器と、前記入力信号から水平同期信号を抽出する水平同期信号分離回路

と、前記水平同期信号からクロックを生成するPLL回路とを備えることで、半導体集積回路内の動作率を一定にし、消費電流を安定化させることでPLL回路を安定に動作させることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1における半導体集積回路の回路図

【図2】本発明の実施の形態1におけるPN回路の内部構成図

10 【図3】本発明の実施の形態1における半導体集積回路の動作説明図

【図4】本発明の実施の形態2における半導体集積回路の回路図

【図5】本発明の実施の形態3における半導体集積回路の回路図

【図6】本発明の実施の形態3における信号処理回路の内部構成図

【図7】本発明の実施の形態4における半導体集積回路の回路図

20 【図8】本発明の実施の形態4における音声信号処理回路の内部構成図

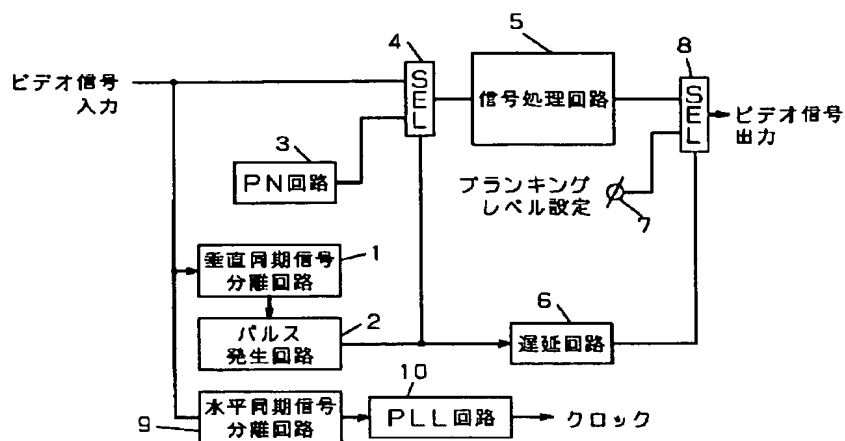
【図9】従来のクロック生成回路の回路図

【図10】従来のクロック生成回路の動作説明図

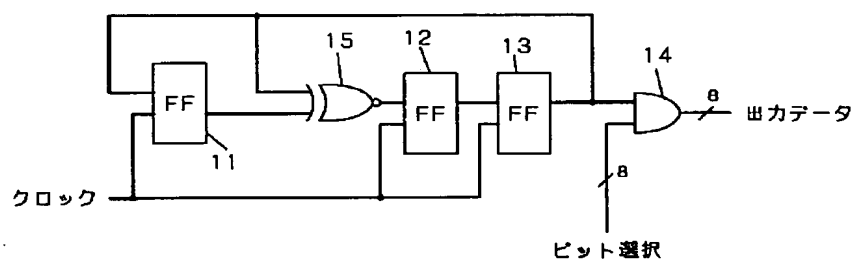
【符号の説明】

- 1 垂直同期信号分離回路
- 2 パルス発生回路
- 3 PN回路
- 4、8 選択器
- 5 信号処理回路
- 30 6 遅延回路
- 7 ブランキングレベル設定手段
- 9 水平同期信号分離回路
- 10 PLL回路
- 11、12、13 フリップフロップ
- 14 AND回路
- 15 排他的論理NOR回路
- 16 映像信号検出回路
- 17 マイコン
- 18 ラインメモリー
- 40 19 メイン処理回路
- 20 音声処理回路
- 21 メイン処理回路
- 22 FIFO回路

#### 4.8 選択器



11. 12. 13 フリップフロップ  
14 AND回路  
15 排他的論理NOR回路

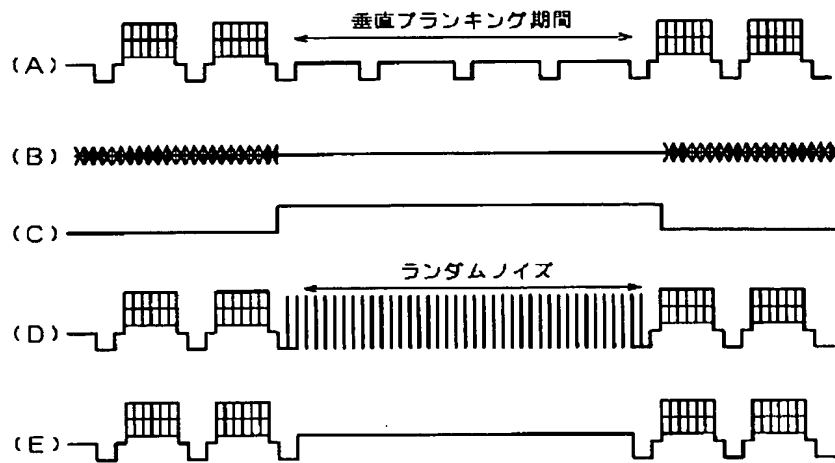


```

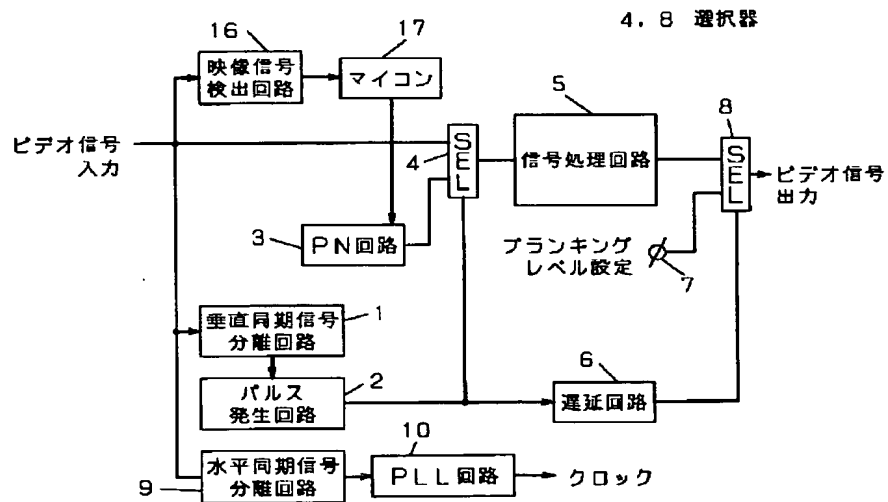
graph LR
    Input[入力] --> LM[ラインメモリー 18]
    LM --> FB[フィードバック出力]
    LM --> MP[メイン処理 19]
    MP --> Output[出力]
  
```



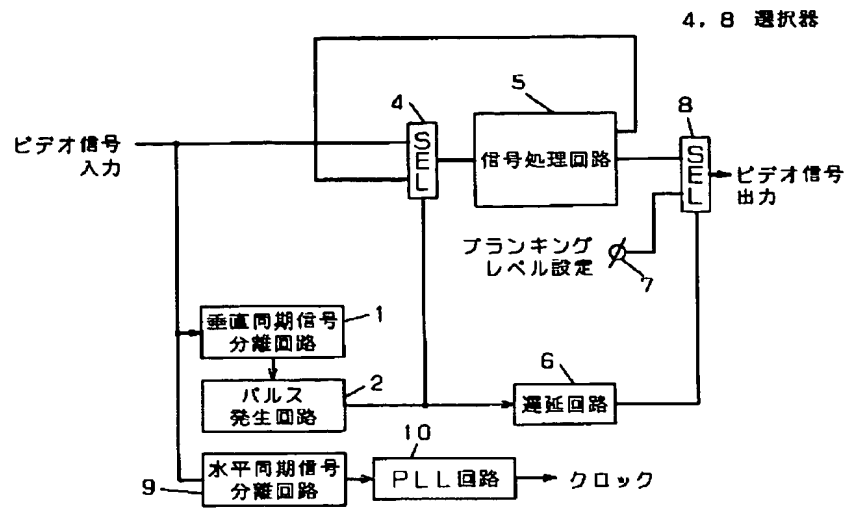
【図3】



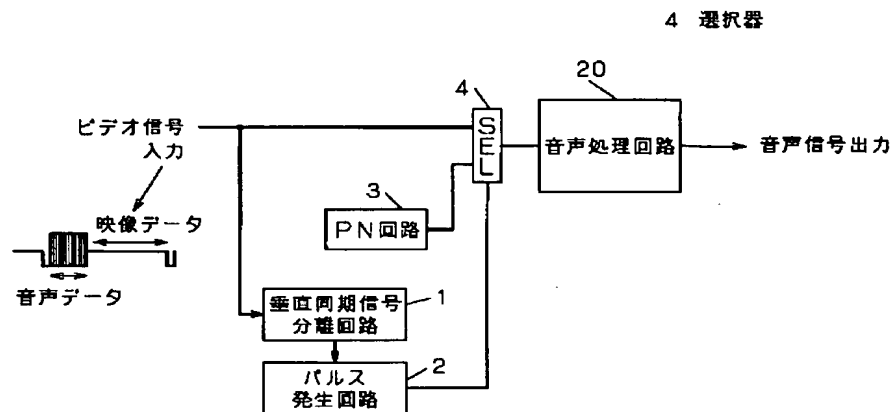
【図4】



【図5】

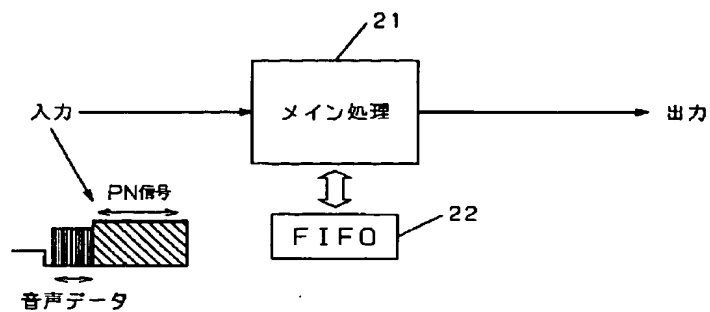


【図7】

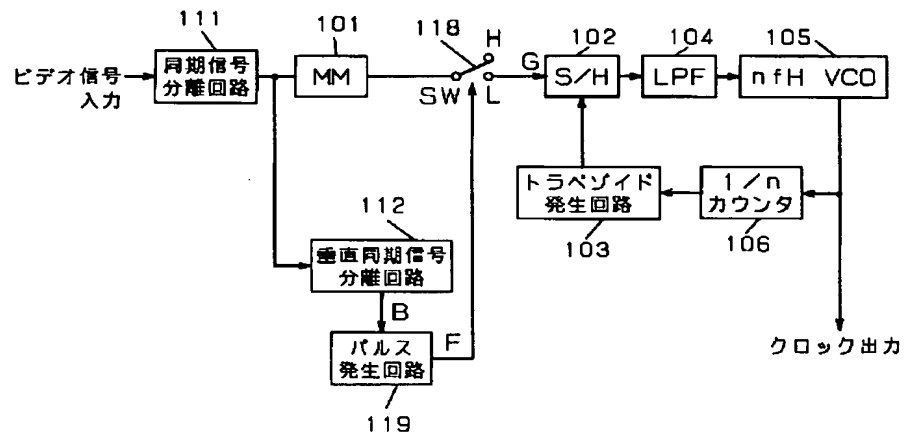


【図8】

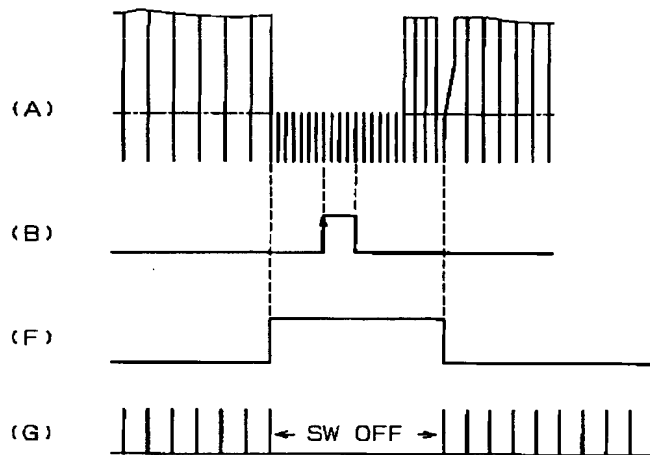
21 音声メイン処理回路  
22 FIFO



【図9】



【図10】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**